

CLIPPEDIMAGE= JP402285678A
PUB-NO: JP402285678A
DOCUMENT-IDENTIFIER: JP 02285678 A
TITLE: SEMICONDUCTOR DEVICE
PUBN-DATE: November 22, 1990
INVENTOR-INFORMATION:
NAME
AKIYAMA, ZENICHI
INT-CL_(IPC): H01L029/784; H01L021/90

US-CL-CURRENT: 257/347

ABSTRACT:

PURPOSE: To prevent the generation of the troubles of Al wirings, such as clock signal lines, constant-potential lines and the like in a TFT, a CMOSFET and the like, which is accompanied by an increase in the area of a device, and to obtain the semiconductor device having a high reliability in respect to its wirings by a method wherein transfer clock wirings, which have an antiphase to each other, and constantpotential wirings are formed in such a way that they are partially formed into a two-layer structure.

CONSTITUTION: In a semiconductor device, which is constituted using thin film transistors 101 to 103 and 111 to 113 to be formed on an insulating substrate, transfer clock wirings 121' and 122', which have an antiphase to each other, and constant-potential wirings 123' and 124' are formed in such a way that they are partially formed into a two-layer structure. For example, a part shown by crosshatchings is formed into a two-layer structure in a part in the diagram on the clock signal lines 121' and 122' of a CMOS dynamic shift register constituted by a TFT and a part shown by mere hatchings is formed into a one-layer structure consisting of Al only. In that case, the above two-layer structure is deposited simultaneously with a polycrystalline silicon film, which is used as the material for a gate electrode of the TFT, and is

constituted of the silicon film having reduced resistance and an Al film 18 deposited on the silicon film.

COPYRIGHT: (C)1990, JPO&Japio

TTL:
SEMICONDUCTOR DEVICE

FPAR:

PURPOSE: To prevent the generation of the troubles of Al wirings, such as clock signal lines, constant-potential lines and the like in a TFT, a CMOSFET and the like, which is accompanied by an increase in the area of a device, and to obtain the semiconductor device having a high reliability in respect to its wirings by a method wherein transfer clock wirings, which have an antiphase to each other, and constant potential wirings are formed in such a way that they are partially formed into a two-layer structure.

FPAR:

CONSTITUTION: In a semiconductor device, which is constituted using thin film transistors 101 to 103 and 111 to 113 to be formed on an insulating substrate, transfer clock wirings 121' and 122', which have an antiphase to each other, and constant-potential wirings 123' and 124' are formed in such a way that they are partially formed into a two-layer structure. For example, a part shown by crosshatchings is formed into a two-layer structure in a part in the diagram on the clock signal lines 121' and 122' of a CMOS dynamic shift register constituted by a TFT and a part shown by mere hatchings is formed into a one-layer structure consisting of Al only. In that case, the above two-layer structure is deposited simultaneously with a polycrystalline silicon film, which is used as the material for a gate electrode of the TFT, and is constituted of the silicon film having reduced resistance and an Al film 18 deposited on the silicon film.

⑫ 公開特許公報(A)

平2-285678

⑤ Int. Cl.⁵

識別記号

庁内整理番号

④ 公開 平成2年(1990)11月22日

H 01 L 29/784
21/90

A

6810-5F
8624-5F

H 01 L 29/78 3 1 1 C

審査請求 未請求 請求項の数 1 (全5頁)

⑥ 発明の名称 半導体装置

⑦ 特 願 平1-108461

⑧ 出 願 平1(1989)4月27日

⑨ 発 明 者 秋 山 善 一 東京都大田区中馬込1丁目3番6号 株式会社リコー内

⑩ 出 願 人 株 式 会 社 リ コ ー 東京都大田区中馬込1丁目3番6号

⑪ 代 理 人 弁理士 佐田 守雄

明 細 書

1. 発明の名称

半 導 体 装 置

2. 特許請求の範囲

1. 絶縁基板上に形成される薄膜トランジスタを用いて構成される半導体装置において、互いに逆位相の転送クロック配線及び定電位配線が部分的に2層構造となっていることを特徴とする半導体装置。

3. 発明の詳細な説明

〔技術分野〕

本発明は石英ガラス等の絶縁基板上に形成されるTFET-CMOSFETを用いて構成される半導体装置に関する。

〔従来技術〕

薄膜トランジスタ(TFT)は高価なシリコン基板上に形成する半導体素子に比べ、安価なガラス基板上に形成できるとともに工程数も少なく、プロセスコストも安価にできる利点を有している。さらに、機能素子と同一基

板に組み込むことにより、いわゆる軽薄短小化が実現できる。従って、近年、TFTは各種デバイス、特にセンサー駆動用あるいは液晶表示駆動用等の大面積デバイスに応用されている。

従来のTFTの構成を第2図に示す。このTFTは次のようにして作製される。まず、ガラス基板1上に多結晶シリコン膜の島2を形成したのち、表面を酸化し、ゲート電極となる多結晶シリコン膜4を形成する。次にイオン打ち込み法により、ソフト・ドレイン拡散層5を形成し、層間絶縁膜6を形成したのちに、コンタクトホールを開孔し、アルミニウム合金配線7を形成することにより得られる。

第3図はTFTにより構成したCMOSダイナミックシフトレジスタの一例の回路図を示す。第3図は、CMOSダイナミックシフトレジスタの1ビット分の構成を示しており、P型MOSFET 101, 102、N型MOSFET 111, 112より成る

クロックインバーター131及びP型MOSFET 103、N型MOSFET 113より成るインバーター132によりシフトレジスタが構成されている。また同図において121,122はそれぞれ、互いに逆位相の転送クロック信号を与えるクロック端子であり、123,124はそれぞれ正電源端子、負電源端子である。第3図に示すように、TF Tは機能素子と同一に組み込まれることにより、面積比が進み、それにつれて第3図におけるシフトレジスタ中のA₂配線121', 122', 123', 124' (すなわちクロック信号ライン、定電位ライン)の長さは、ガラス基板の長さにはほぼ等しい長さになってきている。一般にA₂配線に生ずる故障にはエレクトロマイグレーション故障、ストレスマイグレーション故障があり、これらの発生は膜中の欠陥に依存するため、前述のように面積デバイス化に伴うA₂配線長の増大により、故障発生の確立が増大する。さらに、ストレスマイグレーション故障に関しては、外部から加わ

る圧力は基板サイズが大きくなることにより一層厳しい状態におかれることになる。

一方、特開昭61-35564号公報では、TF T部のA₂配線部を2層構造とした発明が開示されているが、本発明で意図するようなTF Tを用いたCMOSFETにおけるクロック配線及び定電位配線等について、面積化に伴う前記の故障を回避するような提案は全く見られない。

〔目的〕

本発明は面積化に伴うTF T-CMOSFET等におけるクロック信号ライン及び定電位ライン等のA₂配線の故障を防止し、配線に関してより高信頼性の半導体装置を提供することを目的とする。

〔構成〕

本発明は絶縁基板上に形成されるTF Tを用いて構成される半導体装置において、互いに逆位相の転送クロック配線及び定電位配線が部分的に2層構造となっていることを特徴

- 3 -

とするものである。

第1図は本発明に係る半導体装置における第3図に示したCMOSダイナミックシフトレジスタの丸印部分の拡大図であり、第1図において、交差ハッチングで示した部分が2層構造で形成され、単なるハッチングで示した部分がA₂のみの1層構造で形成されてなる。なお、図中の14は多結晶シリコン膜、121', 122'はクロック信号ラインを示す。

なお、従来の半導体装置における第3図に示したCMOSダイナミックシフトレジスタの丸印部分の拡大図を第4図に示す。この第1図の本発明デバイスと第4図の従来デバイスとを第5図に示すストレス条件で配線の故障に至る時間を比較したところ、第1図のデバイスでは第4図のデバイスの故障時間の10倍の長寿命を示した。

第1図に示したデバイスの作製方法の一例を第6図のフローシートを参照して以下に説明する。

- 4 -

表面を十分に研磨した透明石英ガラス11を十分に洗浄した後、活性層となるシリコン膜12を減圧CVD法により2000Åの膜厚に堆積し、島状にフォトリソグラフィ・エッチングする。この島状多結晶シリコン膜上にドライ熱酸化を1000℃で行い、ゲート絶縁膜となる熱酸化膜13を形成する(第6図(a))。

次いで、ゲート電極材料として、多結晶シリコン膜14を減圧CVD法により堆積させて、電極として作用させるために抵抗を低くする。この低抵抗化は、拡散剤を含む膜を堆積させ、熱拡散により低抵抗することも可能であるし、またはイオン打ち込み法でも良い。その後、フォトリソグラフィ・エッチングによりパターンニングする。この際、A₂配線パターン中のクロック信号ライン及び定電位ラインに相当する部位にもこの多結晶シリコン膜14を残す(第6図(b)(c))。

イオン打ち込み法によりソース・ドレイン領域15を形成し、層間絶縁膜16としてリンド

- 5 -

- 6 -

ープシリカガラス又はノンドーブシリカガラス、ボロンドープシリカガラスを減圧CVD法により堆積し、先のイオン打ち込み法によって打ち込まれたイオンを活性化するため、900℃でアニールを行う。またこの熱履歴により、先に述べた層間絶縁膜16はデンシファイし、さらに表面状態が平坦化する(第6図(d))。次にソース・ドレイン領域及びゲート部とコンタクトを取るためにコンタクトホール17をフォトリソグラフィ・エッチングにより開孔する。この際、クロック信号ライン及び定電位ラインに相当する箇所で、多結晶シリコン膜を残しておいたが、この部分はA₂とコンタクトを取るために上部の層間絶縁膜17'を、コンタクトホール開孔と同時にエッチング除却する(第6図(e))。

最後にA₂又は又はA₂-1wt%Si合金18をスパッタリング法により堆積しフォトリソグラフィ・エッチングにより形成する。かくしてクロック信号ライン及び定電位ラインを

2層 造にすることができる。2層構造中、第1層目が低抵抗多結晶シリコン層で、第2層目がA₂である(第6図(f))。

このような作製方法によれば、新たに多結晶シリコン膜の堆積やフォトリソグラフィ・エッチング工程を増す必要がなく、簡単な工程でコストアップにはならない。

【効 果】

以上説明したように本発明によれば、石英ガラス等の絶縁基板上に形成されるTF₂T-CN0SFBTを用いて構成される半導体装置のクロック配線及び定電位配線が部分的に2層構造とされているため、エレクトロマイグレーション及びストレスマイグレーションに対する耐性が向上し、大面積デバイス化した場合にも信頼性の高い半導体装置が得られる。

4. 図面の簡単な説明

第1図は本発明に係る半導体装置のクロック配線部分の拡大説明図である。

第2図は従来の半導体装置の断面図である。

- 7 -

第3図はTF₂Tにより構成したCMOSダイナミックシフトレジスタの一例の回路図である。

第4図は従来装置におけるクロック配線部分の拡大説明図である。

第5図は半導体装置の故障時間を測定するのに用いた加速試験手段を示す説明図である。

第6図は本発明に係る半導体装置を作製する工程を示すフローシートである。

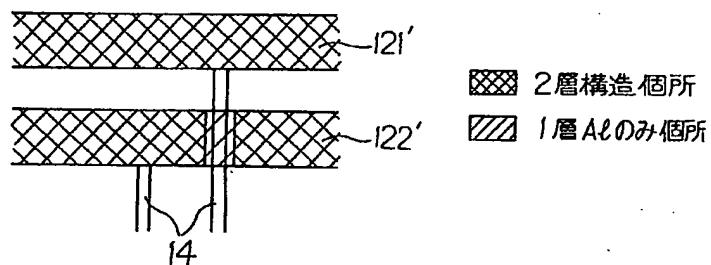
- 11…透明石英ガラス 12…多結晶シリコン膜
- 13…熱酸化膜 14…多結晶シリコン膜
- 15…ソース・ドレイン領域
- 16…層間絶縁膜 17…コンタクトホール
- 18…A₂配線
- 121, 121', 122, 122'…クロック信号ライン
- 123, 123', 124, 124'…定電位ライン

特許出願人 株式会社 リ コ ー
代理人 弁理士 佐 田 守 雄

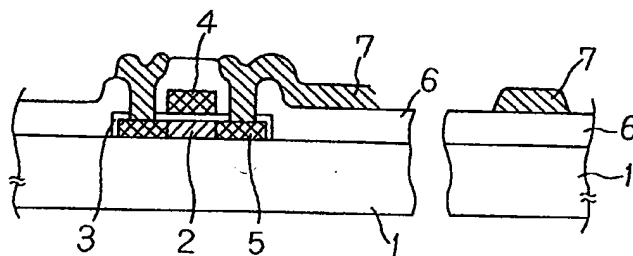


- 8 -

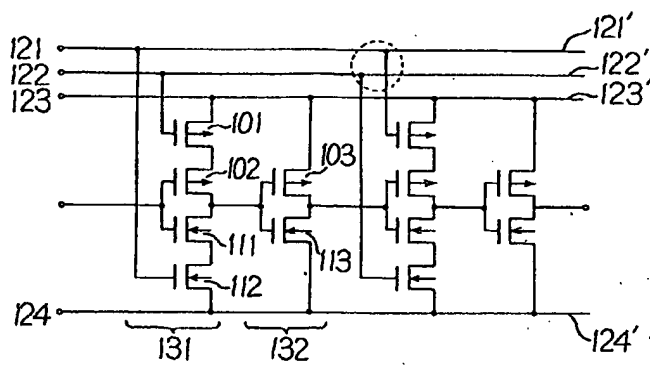
第1図



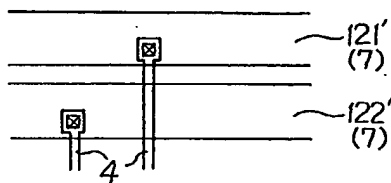
第2図



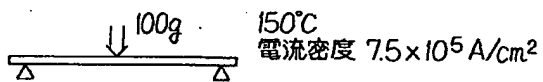
第3図



第4図



第5図



第6図

